

JP 435205407 A
AUG 1993

(54) MOS TRANSISTOR AND ITS MANUFACTURE

(11) 5-206407 (A) (43) 13.8.1993 (19) JP

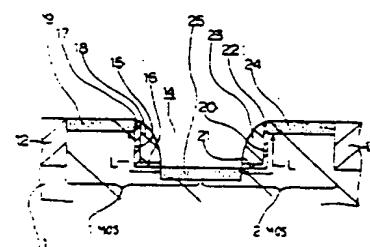
(21) Appl. No. 4-34404 (22) 23.1.1992

(71) SONY CORP (72) HIROBUMI SUMI

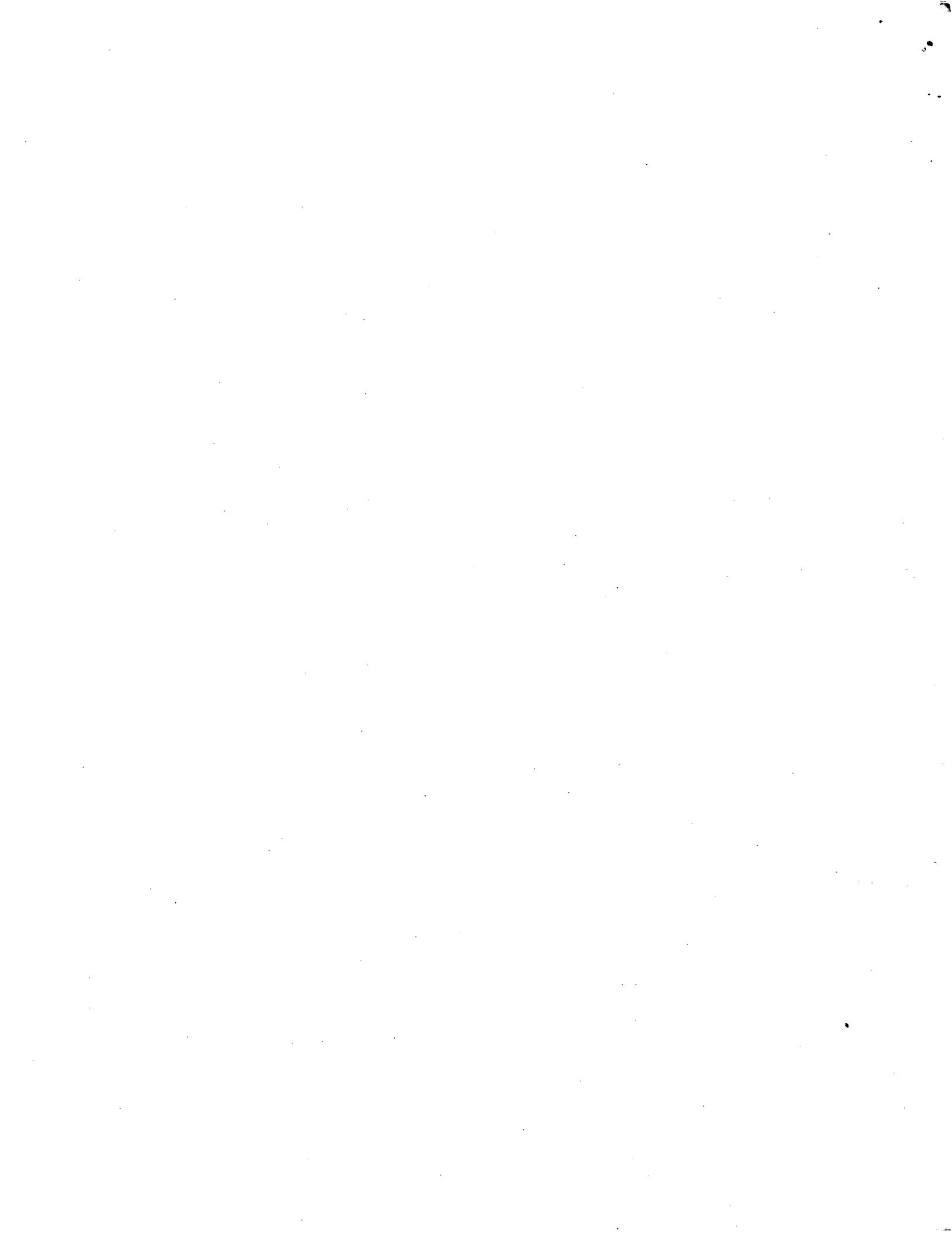
(51) Int. Cl. H01L27/108, H01L27/088

PURPOSE: To make the formation area of a MOS transistor small and to make the integration of the MOS transistor high by a method wherein a gate with reference to the surface of a substrate (or a base body) is formed in the depth direction.

CONSTITUTION: A first gate 18 is formed, via a first gate insulating film 17, on the sidewall 15 on one side and on the bottom face 16 of a groove 14 formed in a semiconductor substrate 11; a second gate 23 is formed, via a second gate insulating film 22, on the sidewall 20 on the other side and on the bottom face 21 of said groove 14. A first source-drain region 19 and a second source-drain region 24 are formed on the upper layer of the semiconductor substrate 11 excluding the inside of the groove 14; a third source-drain region 25 is formed on the upper layer of the semiconductor substrate 11 on the bottom face side of the groove 14. Alternatively, source-drain regions are formed on the upper layer and the lower layer of a semiconductor part formed on the upper layer of an insulating base body; gates (not indicated in the figure) are formed, via a gate insulating film (not indicated in the figure), on both sidewall sides of the semiconductor part.



11. MOS transistor



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-206407

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.⁵
H 01 L 27/108
27/088

識別記号

府内整理番号

F I

技術表示箇所

8728-4M
7342-4M

H 01 L 27/10
27/08

325 H
102 H

審査請求 未請求 請求項の数5(全17頁)

(21)出願番号 特願平4-34404

(22)出願日 平成4年(1992)1月23日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 角▲博▼文

東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

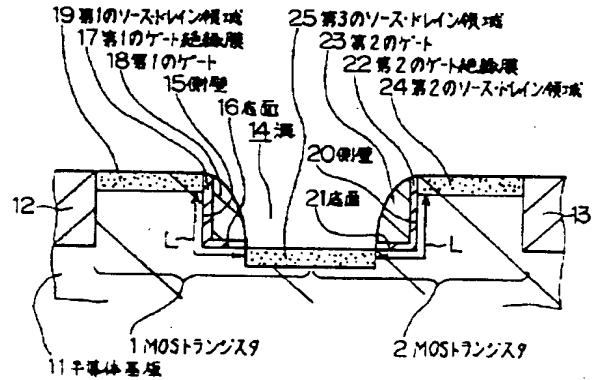
(74)代理人 弁理士 船橋 国則

(54)【発明の名称】 MOSトランジスタおよびその製造方法

(57)【要約】

【目的】 本発明は、基板(または基体)表面に対してゲートを深さ方向に形成することで、MOSトランジスタの形成面積を小さくして高集積化を図る。

【構成】 半導体基板11に設けた溝14の一方の側壁15と底面16上とに第1のゲート絶縁膜17を介して第1のゲート18を形成し、同溝14の他方の側壁20と底面21上とに第2のゲート絶縁膜22を介して第2のゲート23を形成し、溝14の内部を除く半導体基板11の上層に第1、第2のソース・ドレイン領域19、24を設け、溝14の底面側の半導体基板11の上層に第3のソース・ドレイン領域25を設けたものである。または、絶縁性基体(図示せず)の上層に設けた半導体部(図示せず)の上層と下層とにソース・ドレイン領域(図示せず)を形成し、半導体部の両側壁側にゲート絶縁膜(図示せず)を介してゲート(図示せず)を形成したものである。



第1の実施例の概略構成断面図

【特許請求の範囲】

【請求項1】 半導体基板に形成した溝と、

前記溝の一方側の側壁とこの一方側の側壁側における当該溝の底面とに設けた第1のゲート絶縁膜と、

前記第1のゲート絶縁膜の表面に設けた第1のゲートと、

前記溝に対して前記第1のゲート絶縁膜側の前記半導体基板の上層に形成した第1のソース・ドレイン領域と、前記溝の他方側の側壁とこの他方側の側壁側における当該溝の底面とに設けた第2のゲート絶縁膜と、

前記第2のゲート絶縁膜の表面に設けた第2のゲートと、

前記溝に対して前記第2のゲート絶縁膜側の前記半導体基板の上層に形成した第2のソース・ドレイン領域と、前記第1のゲートと前記第2のゲートとの間の前記半導体基板の上層に形成した第3のソース・ドレイン領域とよりなることを特徴とするMOSトランジスタ。

【請求項2】 半導体基板に溝を形成する第1の工程と、

少なくとも前記溝の内壁に絶縁膜とゲートを形成する膜とを積層する状態に成膜した後、エッチバックによって、前記溝の一方側の側壁とこの一方側の側壁側における当該溝の底面とに前記絶縁膜を介して上記ゲートを形成する膜で第1のゲートを形成するとともに、当該溝の他方側の側壁とこの他方側の側壁側における当該溝の底面とに前記絶縁膜を介して上記ゲートを形成する膜で第2のゲートを形成し、続いて前記第1のゲートの裏面側に前記絶縁膜で第1のゲート絶縁膜を形成するとともに、前記第2のゲートの裏面側に前記絶縁膜で第2のゲート絶縁膜を形成する第2の工程と、

前記溝に対して前記第1のゲート絶縁膜側の前記半導体基板の上層に導電性不純物を導入して第1のソース・ドレイン領域を形成するとともに、前記溝に対して第2のゲート絶縁膜側の前記半導体基板の上層に導電性不純物を導入して第2のソース・ドレイン領域を形成し、かつ前記第1のゲートと前記第2のゲートとの間の前記半導体基板の上層に導電性不純物を導入して第3のソース・ドレイン領域を形成する第3の工程とよりなることを特徴とするMOSトランジスタの製造方法。

【請求項3】 絶縁性基体の上層に設けた半導体部と、前記半導体部の一方側の側壁に設けた第1のゲート絶縁膜と、

前記半導体部とは反対側の前記第1のゲート絶縁膜面に設けた第1のゲートと、

前記半導体部の他方側の側壁に設けた第2のゲート絶縁膜と、

前記半導体部とは反対側の前記第2のゲート絶縁膜面に設けた第2のゲートと、

前記半導体部の上層に設けた第1のソース・ドレイン領域と、

前記半導体部の下層に設けた第2のソース・ドレイン領域とよりなることを特徴とするMOSトランジスタ。

【請求項4】 基板上に半導体部を設ける第1の工程と、

前記半導体部の側壁に絶縁膜とゲートを形成する膜とを積層する状態に成膜した後、少なくとも前記半導体部の一方側の側壁に前記絶縁膜を介して前記ゲートを形成する膜で第1のゲートを形成するとともに当該半導体部の他方側の側壁に前記絶縁膜を介して前記ゲートを形成する膜で第2のゲートを形成し、続いて前記絶縁膜で、前記第1のゲートの半導体部側に第1のゲート絶縁膜を形成するとともに前記第2のゲートの半導体部側に第2のゲート絶縁膜を形成する第2の工程と、

前記半導体部の上層に導電性不純物を導入して第1のソース・ドレイン領域を設ける第3の工程と、

前記第1のソース・ドレイン領域側の全面に絶縁性基体を形成した後、前記基板を除去する第4の工程と、

前記第1のソース・ドレイン領域を形成した側とは反対側の第1の半導体部に導電性不純物を導入して第2のソース・ドレイン領域を設ける第4の工程とよりなることを特徴とするMOSトランジスタの製造方法。

【請求項5】 請求項3記載のMOSトランジスタにおいて、

前記MOSトランジスタの第2のソース・ドレイン領域側に設けた層間絶縁膜と、

前記層間絶縁膜を介して、前記第2のソース・ドレイン領域に接続する表面配線と、

前記MOSトランジスタの裏面側に形成された絶縁性基体を介して、前記MOSトランジスタの第1のソース・ドレイン領域に接続する裏面配線とを設けたことを特徴とするMOSトランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、MOSトランジスタとその製造方法に関するものである。

【0002】

【従来の技術】 メモリ素子の大容量化、高集積化にともなって、素子の微細化が進んでいる。上記メモリ素子の多くは、MOS型メモリ素子である。その代表例を図1-8により説明する。図に示すように、半導体基板111上にゲート絶縁膜112を介してゲート113が形成されている。このゲート113の両側壁には、ゲートサイドウォール絶縁膜114が形成されている。また上記ゲート113の両側の上記半導体基板111の上層には、LDD構造のソース・ドレイン領域115、116が形成されている。上記の如くに、MOSトランジスタ110は形成されている。さらにMOSトランジスタ110を覆う状態に層間絶縁膜117が形成されている。上記ソース・ドレイン領域116上の上記層間絶縁膜117にはコンタクトホール118が設けられている。このコ

ンタクトホール118を介して、上記ソース・ドレイン領域116に接続する配線119が形成されている。この配線119は、例えばバリヤメタル層とアルミニウム合金層とよりなる。

【0003】次に上記MOSトランジスタ110の製造方法を、図19の製造工程図により説明する。図19の(1)に示すように、例えばLOCOS法によって、半導体基板(例えば単結晶シリコン基板)111の上層に、素子分離領域121を形成する。次いで熱酸化法によって酸化シリコン膜(122)を形成した後、化学的気相成長法によって多結晶シリコン膜(123)を成膜する。続いてホトリソグラフィーとエッティングとによって、上記多結晶シリコン膜(123)でゲート113を形成する。さらに、上記酸化シリコン膜(122)でゲート絶縁膜112を形成する。次いでイオン注入法によって、上記ゲート113の両側の上記半導体基板111の上層に、低濃度拡散層124、125を形成する。

【0004】その後図19の(2)に示す如く、化学的気相成長法によって酸化シリコン膜(126)を形成した後、エッチバックして、ゲート113の側壁に酸化シリコン膜(126)よりなるゲートサイドウォール絶縁膜114を形成する。次いで、ゲートサイドウォール絶縁膜114とゲート113とをイオン注入マスクにして、上記低濃度拡散層124、125よりも深い状態に高濃度拡散層127、128を形成する。このようにして上記低濃度拡散層124と高濃度拡散層127とによって、ソース・ドレイン領域115を形成し、また低濃度拡散層125と高濃度拡散層128とによって、上記ソース・ドレイン領域116を形成する。上記の如くして、MOSトランジスタ110は形成される。

【0005】続いて図19の(3)に示すように、化学的気相成長法によって、上記MOSトランジスタ110を覆う状態に、酸化シリコン膜よりなる層間絶縁膜117を形成する。その後ホトリソグラフィーとエッティングとによって、上記ソース・ドレイン領域116上の層間絶縁膜117にコンタクトホール118を形成する。さらにスパッタ法によって、上記コンタクトホール118の内部と上記層間絶縁膜117との上面とに配線層(129)を成膜した後、ホトリソグラフィーとエッティングとによって、配線層(129)の2点鎖線で示す部分を除去して配線119を形成する。

【0006】上記製造プロセスで微細なデバイス構造を形成するには、ディープサブミクロン以下のレジストパターンを形成するホトリソグラフィー技術が必要となる。

【0007】

【発明が解決しようとする課題】しかしながら、ディープサブミクロン以下のレジストパターンを形成するには非常に困難である。従来のフォトマスクを用いて複数の露光波長により、例えば微細なコンタクトホールを形成

する場合には、0.5μm程度の径のものを形成するのが限界になっている。そこで、レジストパターンを形成する露光工程において、異なる位相振幅を組み合わせることによってレジストパターンを形成する、いわゆる位相シフト法が提案されている。

【0008】ところが位相シフト法では、フォトマスクを製作する際に、マスクを透過する露光の位相をコンピュータシミュレーションする必要があり、そのためマスク設計が非常に複雑になる。またフォトマスク基板に、位相を均一にシフトさせるシフターを形成することが困難である。特に、フォトマスクの遮光パターンの段差部にシフターを形成する場合には、シフターの膜厚を均一化するのが難しい。このため、設計値通りの位相シフトを得ることが困難になっている。さらに、露光時には下地の形状の影響を受けやすいので、例えば下地の凹凸による反射によって、位相シフトの効果が十分に表れないことがある。この結果、形成されるレジストパターンの解像度が低下して、微細パターンの形成が困難になる。

【0009】このように、ディープサブミクロン程度あるいはそれ以下の微細パターンを形成することは非常に困難であり、特にトランジスタのゲートを高集積にかつラテラルに搭載した集積回路を量産レベルで形成することは非常に難しい。

【0010】本発明は、安定した加工技術で製造されるディープサブミクロン以下のMOSトランジスタおよびその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明は、上記目的を達成するためになされたMOSトランジスタおよびその製造方法である。すなわちMOSトランジスタとしては、半導体基板に形成した溝と、この溝の一方側の側壁との一方側の側壁側における当該溝の底面とに設けた第1のゲート絶縁膜と、この第1のゲート絶縁膜の表面に設けた第1のゲートと、溝に対して第1のゲート絶縁膜側の半導体基板の上層に形成した第1のソース・ドレイン領域と、溝の他方側の側壁とこの他方側の側壁側における当該溝の底面とに設けた第2のゲート絶縁膜と、この第2のゲート絶縁膜の表面に設けた第2のゲートと、溝に対して第2のゲート絶縁膜側の半導体基板の上層に形成した第2のソース・ドレイン領域と、第1のゲートと第2のゲートとの間の半導体基板の上層に形成した第3のソース・ドレイン領域とよりなるものである。

【0011】上記MOSトランジスタの製造方法としては、第1の工程で、半導体基板に溝を形成する、次いで第2の工程で、少なくとも溝の内壁に絶縁膜とゲートを形成する膜とを成膜する。その後、例えばエッチバックによって、溝の側壁側に、絶縁膜を介してゲートを形成する膜で第1、第2のゲートを形成し、さらに第1、第2のゲートの裏面側に、絶縁膜で第1、第2のゲート絶縁膜を形成する、その後、第3の工程で、半導体基板の

上層に導電性不純物を導入して第1、第2、第3のソース・ドレイン領域を形成する。

【0012】または別のMOSトランジスタとしては、絶縁性基体の上層に設けた半導体部の上層と下層とに第1、第2のソース・ドレイン領域をそれぞれに形成し、半導体部の両側壁側に、第1、第2のゲート絶縁膜を介して第1、第2のゲートをそれぞれに形成したものである。

【0013】上記別のMOSトランジスタ製造方法としては、第1の工程で、基板上に半導体部を設ける。第2の工程で、少なくとも半導体部の側壁側の全面に、絶縁膜とゲートを形成する膜を成膜した後、例えばエッチバックによって、半導体部の両側壁に、絶縁膜を介して、ゲートを形成する膜で第1、第2のゲートを形成する。さらに、第1、第2のゲートの半導体部側に、絶縁膜で第1、第2のゲート絶縁膜を形成する。次いで第3の工程で、半導体部の上層に導電性不純物を導入して第1のソース・ドレイン領域を設ける。続いて第4の工程で、上記第1のソース・ドレイン領域側に絶縁性基体を形成した後、上記基板を除去する。その後第5の工程で、第1の半導体部の下層に導電性不純物を導入して第2のソース・ドレイン領域を設ける。

【0014】また、上記別のMOSトランジスタにおいて、MOSトランジスタの第2のソース・ドレイン領域側に層間絶縁膜を設け、この層間絶縁膜を介して、第2のソース・ドレイン領域に接続する表面配線を形成し、またMOSトランジスタの裏面側に設けた絶縁性基体を介して、当該MOSトランジスタの第1のソース・ドレイン領域に接続する裏面配線を形成したものである。

【0015】

【作用】上記MOSトランジスタでは、半導体基板に形成した溝の側壁にMOSトランジスタのゲートを形成したことにより、溝の深さとゲートの膜厚とによって、MOSトランジスタのチャネル長が決定される。このため、半導体基板面に対するMOSトランジスタの形成面積が小さくなる。このMOSトランジスタの製造方法では、半導体基板に設けた溝内に形成されるゲートとゲート絶縁膜とが、いわゆる自己整合的に形成される。このため、ゲートを形成する膜の厚さとエッチバック量によって、チャネル長が決定される。

【0016】また別のMOSトランジスタでは、絶縁性基体の上層に半導体部を形成して、その側壁にMOSトランジスタのゲートを設けるので、MOSトランジスタのゲートは絶縁性基体表面に対して深さ方向に形成される。このため、絶縁性基体表面に対するMOSトランジスタの形成面積は縮小される。またMOSトランジスタのチャネル長は、例えば半導体部の高さによって決まる。このMOSトランジスタの製造方法では、基板上の半導体部に形成するゲートとゲート絶縁膜とが、いわゆる自己整合的に形成される。このため、マスク台わせ余

裕等を設計で考慮する必要がないので、絶縁性基体表面に対するゲートの形成面積が小さくなる。

【0017】さらに半導体部を設けたMOSトランジスタの第1のソース・ドレイン領域に接続する裏面配線を絶縁性基体面に設けるとともに、第2のソース・ドレイン領域に接続する表面配線を層間絶縁膜面に設けたことにより、例えば表面配線上に形成される別の層間絶縁膜の平坦化が容易になる。

【0018】

10. 【実施例】本発明の第1の実施例を図1の概略構成断面図により説明する。図に示すように、半導体基板（例えば単結晶シリコン基板）11には素子分離領域12、13が形成されている。素子分離領域12、13間の上記半導体基板11の上層側には溝14が形成されている。上記溝14の一方側の側壁15と同溝14の側壁15側の底面16上とには第1のゲート絶縁膜17が形成されている。この第1のゲート絶縁膜17は、例えば酸化シリコンよりなる。上記第1のゲート絶縁膜17の表面には、上記半導体基板11に接触しない状態に、第1のゲート18が形成されている。この第1のゲート18は、例えば多結晶シリコンよりなる。

20. 【0019】また上記溝14に対して第1のゲート絶縁膜17側の半導体基板11の上層には第1のソース・ドレイン領域19が形成されている。この第1のソース・ドレイン領域19には、MOSトランジスタ1がPMOSトランジスタの場合には、例えば導電性不純物としてホウ素(B⁺)が導入されている。またはMOSトランジスタ1がNMOSトランジスタの場合には、例えば導電性不純物としてリン(P⁻)が導入されている。

30. 【0020】一方上記溝14の他方側の側壁20と同溝14の側壁20側の底面21上とには第2のゲート絶縁膜22が形成されている。この第2のゲート絶縁膜22は、例えば酸化シリコンよりなる。この上記第2のゲート絶縁膜22の表面には、上記半導体基板11に接触しない状態に、第2のゲート23が形成されている。この第2のゲート23は、例えば多結晶シリコンよりなる。

【0021】また上記溝14に対して第2のゲート絶縁膜22側の半導体基板11の上層には第2のソース・ドレイン領域24が形成されている。さらに第1のゲート40と第2のゲート23との間の半導体基板11の上層には第3のソース・ドレイン領域25が形成されている。上記各第2、第3のソース・ドレイン領域24、25は、MOSトランジスタ1、2がPMOSの場合には、例えば導電性不純物としてホウ素(B⁺)が導入されている。またはMOSトランジスタ1、2がNMOSの場合には、例えば導電性不純物としてリン(P⁻)が導入されている。

【0022】上記の如くして、デュアルゲート型のMOSトランジスタ1、2が形成される。すなわち、上記MOSトランジスタ1は、第1のゲート絶縁膜17と第1

のゲート18と第1のソース・ドレイン領域19と第3のソース・ドレイン領域25とによりなる。またMOSトランジスタ2は、第2のゲート絶縁膜22と第2のゲート23と第2のソース・ドレイン領域24と第3のソース・ドレイン領域25とによりなる。したがって、第3のソース・ドレイン領域25は、MOSトランジスタ1、2によって共用される。

【0023】上記MOSトランジスタ1、2では、半導体基板11に形成した溝14の側壁15、20のそれぞれに第1、第2のゲート18、23を形成したことにより、溝14の深さと第1、第2のゲート18、23の膜厚とによって、MOSトランジスタ1、2の各チャネル長しが決定される。すなわち上記MOSトランジスタ1の全チャネル長しは、ソース・ドレイン領域19より溝14の側壁15と底面16とに沿って第3のソース・ドレイン領域25までの長さになる。またMOSトランジスタ2の全チャネル長しもMOSトランジスタ1と同様に決定される。このように、溝14の深さ方向に第1、第2のゲート18、23が形成されているので、各第1、第2のゲート18、23をラテラルに複数配列した場合には、MOSトランジスタ1、2の形成面積が小さくなる。

【0024】また、上記第1、第2、第3のソース・ドレイン領域19、24、25上に、例えばSALICIDEよりもなる低抵抗層（図示せず）を設けることも可能である。上記の場合には、低抵抗層を形成しない場合と比較して、第1、第2、第3のソース・ドレイン領域19、24、25の抵抗値がおよそ1/10以下になるので、特にMOSトランジスタ1、2の動作速度が速くなる。

【0025】次に上記第1の実施例のMOSトランジスタの製造方法を、図2に示す製造工程図により説明する。図2の（1）に示すように、例えば通常のLOCOS酸化法によって、半導体基板（例えば単結晶シリコン基板）11の上層の一部分に素子分離領域12、13を形成する。次いで第1の工程として、既存のホトリソグラフィーとドライエッティングとによって、上記素子分離領域12、13間の半導体基板11の上層に溝14を形成する。上記エッティングは、例えばマイクロ波プラズマエッティングで行う。このときのエッティング条件としては、例えば、エッティングガスに流量が60sccmのトリクロロトリフルオロエタン（C₂C₁F₃）と流量が10sccmの六フッ化イオウ（SF₆）との混合ガスを用い、マイクロ波パワーを850W、RFパワーを150W、エッティング雰囲気の圧力を1.33Paに設定する。

【0026】次いで、上記ドライエッティングによって半導体基板11に生じたダメージ層（図示せず）を除去するための表面酸化を行う。この表面酸化条件としては、例えば、温度雰囲気が950℃で、流量が1.5SLM

の水素（H₂）と流量が6SLMの酸素（O₂）との混合ガス中に放置する。そして例えば半導体基板11の表層に厚さが30nmの酸化シリコン膜（図示せず）が形成されるまで、上記表面酸化を行う。その後、例えば希釈フッ酸中におよそ1分間浸漬して、上記酸化シリコン膜を除去する。

【0027】次いで第2の工程を行う。この工程では、まず図2の（2）に示す如く、例えば通常の熱酸化法によって、半導体基板11の表面に絶縁膜31として、例えば酸化シリコン膜を16nmの厚さに形成する。このときの熱酸化条件としては、例えば、温度雰囲気が850℃で、流量が6sccmの水素（H₂）と流量が4sccmの酸素（O₂）との混合ガス中に放置する。そして半導体基板11の表層に16nmの厚さの酸化シリコン膜が形成されるまで熱酸化を行う。

【0028】次いで、上記絶縁膜31側の全面にゲートを形成する膜32を成膜する。このゲートを形成する膜32は、例えば厚さが200nmの多結晶シリコン膜と厚さが100nmのタングステンシリサイド（WSi_x）膜ととなる。上記多結晶シリコン膜は、例えば化学的気相成長法によって成膜される。そしてこのときの成膜条件としては、例えば、反応ガスに流量が500sccmのシラン（SiH₄）と流量が0.35sccmのホスフィン（PH₃）と流量が50sccmの水素（H₂）との混合ガスを用い、成膜温度を580℃、成膜雰囲気の圧力を79.8Paに設定する。また上記タングステンシリサイド膜は、例えば化学的気相成長法によって成膜する。この成膜条件としては、例えば、反応ガスに流量が10sccmの六フッ化タングステン（WF₆）と流量が1000sccmのシラン（SiH₄）と流量が360sccmのヘリウム（He）との混合ガスを用い、成膜温度を360℃、成膜雰囲気の圧力を26.6Paに設定する。

【0029】その後図2の（3）に示すように、例えばドライエッティングによって、上記ゲートを形成する膜32と絶縁膜31とをエッチバックして、ゲートを形成する膜32の2点鎖線で示す部分と絶縁膜31の1点鎖線で示す部分とを除去する。そして上記溝14の一方側の側壁15とこの側壁15側の底面16とに、上記絶縁膜31を介して、ゲートを形成する膜32で第1のゲート18を形成する。同時に上記溝14の他方側の側壁20とこの側壁20側の底面21とに、上記絶縁膜31を介して、ゲートを形成する膜32で第2のゲート23を形成する。上記ゲートを形成する膜32のエッティング条件としては、例えば、エッティングガスに流量が65sccmのトリクロロトリフルオロエタン（C₂C₁F₃）と流量が5sccmの六フッ化イオウ（SF₆）との混合ガスを用い、エッティング雰囲気の圧力を1.33Pa、マイクロ波パワーを100W、RFパワーを100Wに設定する。

【0030】さらに上記第1のゲート18の裏面側に絶縁膜31で第1のゲート絶縁膜17を形成する。同時に、第2のゲート23の裏面側に絶縁膜31で第2のゲート絶縁膜22を形成する。絶縁膜31のエッチング条件としては、例えば、エッティングガスに流量が50 sccmのオクタフルオロシクロプロパン(C₄F₈)を用い、エッティング雰囲気の圧力を2Pa、RFパワーを1.2 kWに設定する。

【0031】次いで第3の工程として、図2の(4)に示す如く、通常のイオン注入法により、素子分離領域12、13と第1、第2のゲート18、23と第1、第2のゲート絶縁膜17、22とをイオン注入マスクにして半導体基板11の上層に導電性不純物をイオン注入する。そして溝14に対して第1のゲート絶縁膜17側の半導体基板11の上層に第1のソース・ドレイン領域19を形成するとともに、溝14に対して第2のゲート絶縁膜22側の半導体基板11の上層に第2のソース・ドレイン領域24を形成する。また同時に第1のゲート18と第2のゲート23との間の半導体基板11の上層に第3のソース・ドレイン領域25を形成する。

【0032】上記イオン注入条件として、NMOSトランジスタを形成する場合には、例えば導電性不純物にヒ素(A₅⁻)を用い、イオン打ち込みエネルギーを50keV、ドーズ量を $5 \times 10^{15} / \text{cm}^2$ に設定する。またはPMOSトランジスタを形成する場合には、例えば導電性不純物に二フッ化ホウ素(BF₃⁻)を用い、イオン打ち込みエネルギーを20keV、ドーズ量を $3 \times 10^{15} / \text{cm}^2$ に設定する。上記の如くして、MOSトランジスタ1、2が形成される。

【0033】上記図2により説明した製造方法では、ゲートを形成する膜32をエッチバックして第1、第2のゲート18、23を形成するので、エッティング量を制御することにより、各MOSトランジスタ1、2の全チャネル長Lを決定することが可能になる。

【0034】次に各MOSトランジスタ1、2のそれぞれの全チャネル長Lの制御方法を図3～図5により説明する。図3では、代表してMOSトランジスタ1を例にして説明する。図3に示すように、全チャネル長Lは、第1のソース・ドレイン領域19より溝14の側壁15と底面16とに沿って第3のソース・ドレイン領域25までの長さになる。すなわち、全チャネル長Lは、溝14の側壁15側のチャネル長L_aと溝14の底面16側のチャネル長L_bとの和になる。上記全チャネル長Lを決定する方法の一つに、チャネル長L_bを制御する方法がある。すなわち、ゲートを形成する膜(32)の膜厚とそのエッチバック量によって、チャネル長L_bを制御する。なお、MOSトランジスタ2のチャネル長Lも上記説明したMOSトランジスタ1の場合と同様にして制御することが可能である。

【0035】次にチャネル長L_bの制御方法の一例を、

図4のチャネル長L_bとゲートを形成する膜の膜厚との関係図によって説明する。図4の縦軸はチャネル長L_bを表し、同図の横軸はゲートを形成する膜の膜厚を表す。図に示すように、ゲートを形成する膜32(図2参照)の膜厚が厚くなるにしたがい、チャネル長L_bは長くなる。このときのゲートを形成する膜(32)のエッティング速度は300nm/分である。したがって、ゲートを形成する膜(32)の膜厚が400nmの場合には、エッチバックすることによりチャネル長L_bはおよそ230nmに形成される。

【0036】さらにチャネル長L_bを精密に制御するには、ゲートを形成する膜(32)をオーバエッティングすればよい。この場合のチャネル長L_bとオーバエッティング時間との関係の一例を、図5により説明する。図5の縦軸はチャネル長L_bを表し、同図の横軸はゲートを形成する膜(32)のオーバエッティング時間を表す。なおオーバエッティングは、400nmの厚さに成膜されているゲートを形成する膜(32)の平面上に形成されている部分を全て除去した後に行った。図に示すように、オーバエッティング時間が長くなるにしたがい、チャネル長L_bは短くなる。したがって、例えばチャネル長L_bを180nmに形成するには、オーバエッティングを10秒間行えばよい。

【0037】上記したように、ゲートを形成する膜(32)の膜厚によってチャネル長L_bを制御することが可能になる。またゲートを形成する膜(32)をオーバエッティングすることによって、チャネル長L_bを正確に制御することができる。

【0038】また全チャネル長Lは、チャネル長L_aを変えることによっても制御することが可能である。すなわち、第1、第2のソース・ドレイン領域(19)、(24)の深さを変えることによって、チャネル長L_aを制御することが可能になる。また溝(14)の深さによっても、チャネル長L_aは決定される。上記の如くして、チャネル長L_aを制御することにより、ディープサブミクロン以下の寸法のチャネル長L_aを有するMOSトランジスタ1、2を形成することが可能になる。

【0039】次に第1の実施例で説明したMOSトランジスタ1、2の配線を、図6の概略断面図により説明する。図に示すように、MOSトランジスタ1、2を覆う状態に層間絶縁膜33が形成されている。第1、第2、第3のソース・ドレイン領域19、24、25上の層間絶縁膜33には、コンタクトホール34、35、36が設けられている。各コンタクトホール34～36を介して、層間絶縁膜33上には、各第1～第3のソース・ドレイン領域19、24、25に接続する電極37、38、39が形成されている。

【0040】上記電極37～39の形成方法を説明する。例えば化学的気相成長法によって、MOSトランジスタ1、2を覆う状態に、層間絶縁膜33を、例えば50

0 nmの厚さに成膜する。このときの成膜条件としては、例えば、反応ガスに流量が250 sccmのシラン(SiH_4)と流量が250 sccmの酸素(O_2)と流量が100 sccmの窒素(N_2)との混合ガスを用い、成膜温度を420°C、成膜雰囲気に圧力を13.3 Paに設定する。

【0041】続いて通常のホトリソグラフィーとエッチングによって、第1、第2、第3のソース・ドレイン領域19、24、25上の層間絶縁膜33にコンタクトホール34、35、36を設ける。次いで、例えばスパッタ法によって、電極形成層(図示せず)を形成する。この電極形成層は、例えば厚さが50 nmのチタン(Ti)膜と厚さが100 nmの窒化酸化チタン(TiON)膜よりなるバリヤメタル層と厚さが800 nmの1%のシリコン(Si)を含むアルミニウム(Al)層とで形成したものである。

【0042】上記チタン膜のスパッタ条件としては、例えばスパッタガスに流量が40 sccmのアルゴン(Ar)を用い、スパッタ雰囲気の圧力を0.4 Pa、直流スパッタパワーを1 kW、スパッタ率を90 nm/分に設定する。上記窒化酸化チタン膜のスパッタ条件としては、例えばスパッタガスに、流量が47 sccmの窒素(N_2)と流量が3 sccmの酸素(O_2)との混合ガスを用い、直流スパッタパワーを3 kW、スパッタ率を60 nm/分に設定する。上記1%のシリコン(Si)を含むアルミニウム(Al)層のスパッタ条件としては、例えばスパッタガスに流量が40 sccmのアルゴン(Ar)を用い、直流スパッタパワーを6 kW、スパッタ率を800 nm/分に設定する。

【0043】その後、通常のホトリソグラフィーとエッチングによって、各コンタクトホール34、35、36を介して、各第1～第3のソース・ドレイン領域19、24、25に接続する電極37～39を上記電極形成層で形成する。上記電極形成層をエッチングする装置には、例えばRF印加型ECRエッチング装置を用いる。そのエッチング条件としては、例えば、エッチングガスに流量が60 sccmの三塩化ホウ素(BCl_3)と流量が90 sccmの塩素(Cl_2)との混合ガスを用い、マイクロ波パワーを1 kW、RFパワーを50 W、エッチング雰囲気の圧力を2.13 Paに設定する。

【0044】なお、上記MOSトランジスタ1、2の製造方法において、第1、第2、第3のソース・ドレイン領域19、24、25の上層に低抵抗層を形成することによって、各ソース・ドレイン領域19、24、25のシート抵抗を5 Ω/□以下にすることができる、それとともに各ソース・ドレイン領域19、24、25と当該電極37～39とのコンタクト抵抗を10 Ω以下にすることもできる。

【0045】以下に、上記第1～第3のソース・ドレイ

ン領域19、24、25に低抵抗層を形成する方法を、図7、図8の製造工程図(その1)、(その2)により説明する。前記図2の(2)に説明したようにゲートを形成する膜32を形成した後、図7の(1)に示すように、例えば通常の化学的気相成長法によって、ゲートを形成する膜32の表面に絶縁膜41を、例えば300 nmの厚さに成膜する。この絶縁膜41は、例えば酸化シリコンよりなる。このときの成膜条件としては、例えば、反応ガスに流量が250 sccmのシラン(SiH_4)と流量が250 sccmの酸素(O_2)と流量が100 sccmの窒素(N_2)とよりなる混合ガスを用い、成膜温度を420°C、成膜雰囲気の圧力を13.3 Paに設定する。

【0046】次いで図7の(2)に示す如く、例えばドライエッチングによって、上記絶縁膜41とゲートを形成する膜32と絶縁膜31とをエッチバックして、絶縁膜41の2点鎖線で示す部分とゲートを形成する膜32の1点鎖線で示す部分と絶縁膜31の破線で示す部分とを除去する。そして上記溝14の一方側の側壁15とこの側壁15側の底面16とに、上記絶縁膜31を介して、ゲートを形成する膜32よりなる第1のゲート18を形成する。同時に上記溝14の他方側の側壁20とこの側壁20側の底面21とに、上記絶縁膜31を介して、ゲートを形成する膜32よりなる第2のゲート23を形成する。このとき、各第1、第2のゲート18、23の表面側には、絶縁膜41よりなるゲートサイドウォール42、43が形成される。さらに上記第1のゲート18の裏面側に絶縁膜31で第1のゲート絶縁膜17を形成する。同時に、第2のゲート23の裏面側に絶縁膜31で第2のゲート絶縁膜22を形成する。

【0047】上記絶縁膜41と絶縁膜31のエッチング条件としては、例えば、エッチングガスに流量が50 sccmのオクタフルオロシクロプロパン(C_8F_{11})を用い、エッチング雰囲気の圧力を2 Pa、RFパワーを1.2 kWに設定する。上記ゲートを形成する膜32のエッチング条件としては、例えば、エッチングガスに流量が65 sccmのトリクロロトリフルオロエタン($\text{C}_2\text{Cl}_2\text{F}_5$)と流量が5 sccmの六フッ化イオウ(SF_6)との混合ガスを用い、エッチング雰囲気の圧力を1.33 Pa、マイクロ波パワーを100 W、RFパワーを100 Wに設定する。

【0048】次いで前記図2の(4)で説明したと同様にして、図7の(3)に示すように、通常のイオン注入法により、半導体基板11の上層に導電性不純物をイオン注入する。そして溝14に対して第1のゲート絶縁膜17側の半導体基板11の上層に第1のソース・ドレイン領域19を形成するとともに、溝14に対して第2のゲート絶縁膜22側の半導体基板11の上層に第2のソース・ドレイン領域24を形成する。また同時に第1のゲート18と第2のゲート23との間に半導体基板11

の上層に第3のソース・ドレイン領域25を形成する。

【0049】次いで図8の(4)に示す如く、例えば化学的気相成長法によって、各第1、第2のゲート18、23側の全面に、窒化シリコン(SiN)膜44を、例えば30nmの厚さに形成する。このときの成膜条件としては、例えば、反応ガスに流量が50sccmのジクロルシラン(SiH₂Cl₂)と流量が200sccmのアンモニア(NH₃)と流量が200sccmの窒素(N₂)との混合ガスを用い、成膜温度を760℃、成膜雰囲気の圧力を70Paに設定する。なお窒化シリコン膜44の代わりに、例えば水素を多量に含んだ窒化酸化シリコン(SiO_xN)膜等の絶縁膜を用いることも可能である。

【0050】続いて通常のホトリソグラフィーとエッチングとによって、上記窒化シリコン膜44の2点鎖線で示す部分を除去して、各第1、第2のゲート18、23上に、上記窒化シリコン膜44よりなるマスクパターン45、46を形成する。上記エッチング条件としては、例えば、エッティングガスに流量が50sccmのトリフルオロメタン(CHF₃)を用い、RFパワーを300W、エッティング雰囲気の圧力を2Paに設定する。

【0051】その後、図8の(5)に示すように、例えばスパッタ法によって、マスクパターン45、46側の全面にチタン(Ti)膜47を、例えば30nmの厚さに成膜する。このときのスパッタ条件としては、例えば、スパッタガスにアルゴン(Argon)を用い、RFバイアスを-50V、直流スパッタパワーを1kW、アルゴンの流量を40sccm、スパッタ雰囲気の圧力を0.4Pa、成膜温度を200℃、成膜速度を60nm/分に設定する。

【0052】次いで図8の(6)に示す如く、不活性ガス中でRTA(Rapid Thermal annealing)処理を行って、チタン膜47のチタンと第1～第3のソース・ドレイン領域19、24、25のシリコンとをシリサイド化反応させて、第1～第3のソース・ドレイン領域19、24、25の各上層にチタンシリサイド(TiSi₂)よりなる低抵抗層48、49、50を形成する。上記RTAの条件としては、例えば、温度雰囲気を650℃、RTA時間を30秒に設定する。

【0053】続いてアンモニア過水中に浸漬するウェットエッチングによって、未反応チタン膜47(2点鎖線で示す部分)を除去する。次いで900℃の不活性ガス(例えば窒素(N₂))中で30秒間のRTAを行うことにより、上記低抵抗層48、49、50の安定化を図る。このようにして、各第1～第3のソース・ドレイン領域19、24、25の各上層に低抵抗層48～50が形成される。

【0054】上記低抵抗層48～50は、チタンシリサイドで形成したが、他のシリサイド(例えば、コバルトシリサイド(CoSi₂)、タンゲステンシリサイド

(WSi₂)、モリブデンシリサイド(MoSi₂)等)または選択タングステン(W)等の金属膜で形成することが可能である。なお上記低抵抗層48～50を形成したMOSトランジスタ1、2の各第1～第3のソース・ドレイン領域19、24、25に電極を形成する方法は、前記図6で説明したと同様の方法によればよい。

【0055】次に本発明の第2の実施例を図9の概略構成断面図により説明する。図に示すように、絶縁性基体(例えば酸化シリコンよりなる基体)51の上層には表面が表出する状態に半導体部52が設けられている。この半導体部52は例えば単結晶シリコンよりなる。上記半導体部52の一方側の側壁53には第1のゲート絶縁膜54が形成されている。この第1のゲート絶縁膜54は、例えば酸化シリコンよりなる。さらに半導体部52側とは反対側の第1のゲート絶縁膜54の面には、第1のゲート55が形成されている。この第1のゲート55は、例えば多結晶シリコンよりなる。

【0056】また上記半導体部52の他方側の側壁56には第2のゲート絶縁膜57が形成されている。この第2のゲート絶縁膜57は、例えば酸化シリコンよりなる。さらに半導体部52側とは反対側の第2のゲート絶縁膜57の面には、第2のゲート58が形成されている。この第2のゲート58は、例えば多結晶シリコンよりなる。

【0057】さらに上記半導体部52の下層には第1のソース・ドレイン領域59が形成されている。この第1のソース・ドレイン領域59には、MOSトランジスタ3、4がPMOSトランジスタの場合には、例えば導電性不純物としてホウ素(B⁺)が導入されている。またはMOSトランジスタ3、4がNMOSトランジスタの場合には、例えば導電性不純物としてリン(P⁻)が導入されている。また上記半導体部52の上層には第2のソース・ドレイン領域60が形成されている。この第2のソース・ドレイン領域60には、MOSトランジスタ3、4がPMOSトランジスタの場合には、例えば導電性不純物としてホウ素(B⁺)が導入されている。またはMOSトランジスタ3、4がNMOSトランジスタの場合には、例えば導電性不純物としてリン(P⁻)が導入されている。

【0058】上記の如くして、MOSトランジスタ3、4が形成される。すなわち、上記MOSトランジスタ3は、第1のゲート絶縁膜54と第1のゲート55と第1のソース・ドレイン領域59と第2のソース・ドレイン領域60とよりなる。またMOSトランジスタ4は、第2のゲート絶縁膜57と第2のゲート58と第1のソース・ドレイン領域59と第2のソース・ドレイン領域60とよりなる。したがって、第1、第2のソース・ドレイン領域59、60は、MOSトランジスタ3、4によって共用される。このようにMOSトランジスタ3、4はデュアルゲートを有するMOSトランジスタ構造にな

るので、トランジスタ特性のドライブ能力は高くなる。

【0059】またMOSトランジスタ3、4では、半導体部52の側壁53、56に第1、第2のゲート絶縁膜54、57を介して第1、第2のゲート55、58が形成され、半導体部52の上層と下層とに第1、第2のソース・ドレイン領域59、60が形成されていることにより、半導体部52の厚さと各第1、第2のソース・ドレイン領域59、60の深さとによって、MOSトランジスタ3、4の各チャネル長しが決定される。したがって、MOSトランジスタ3、4の各チャネルは半導体部52の深さ方向に形成される。

【0060】このため図10に示すように、絶縁性基体51の上層に、複数の上記MOSトランジスタ3、4をラテラルに配置することも可能である。このように配置することにより、MOSトランジスタ3、4を高集積に実装することが可能になる。

【0061】また、上記第1、第2のソース・ドレイン領域59、60(図9参照)上に、例えばSALICIDEよりもなる低抵抗層(図示せず)を設けることもできる。この場合には、低抵抗層を形成しない場合と比較して、第1、第2のソース・ドレイン領域59、60の抵抗値がおよそ1/10以下になるので、特にMOSトランジスタ3、4の動作速度が速くなる。

【0062】次に上記第2の実施例のMOSトランジスタの製造方法の一例を、図11、図12の製造工程図(その1)、(その2)により説明する。なお、図ではMOSトランジスタをラテラルに配置した場合の製造工程を示す。また図中において、同様の構成部品には同一番号を付す。図11の(1)に示すように、第1の工程として、通常のホトリソグラフィーとエッチングによって、基板(例えば単結晶シリコン基板)61の上層に溝62、63、64を形成して、溝62、63間に半導体部52を形成するとともに、溝63、64間に上記同様の半導体部52を形成する。上記エッチングは、例えばマイクロ波プラズマエッチングで行う。このときのエッチング条件は、前記第1の実施例中の図2の(1)で説明したと同様なので、ここでの説明は省略する。

【0063】次いで、上記ドライエッティングによって基板61に生じたダメージ層(図示せず)を除去するための表面酸化を行う。この表面酸化条件は、前記第1の実施例中の図2の(1)で説明したと同様なので、ここでの説明は省略する。その後、希釈フッ酸中におよそ1分間浸漬して、上記表面酸化で形成した酸化シリコン膜を除去する。

【0064】次いで図11の(2)に示す如く、第2の工程を行う。この工程では、まず通常の熱酸化法によって、半導体部52側の全面に酸化シリコンの絶縁膜65を、例えば1.6nmの厚さに形成する。このときの熱酸化条件は、前記第1の実施例中の図2の(2)で説明したと同様なので、ここでの説明は省略する。

【0065】次いで、上記絶縁膜65側の全面にゲートを形成する膜66を成膜する。このゲートを形成する膜66は、例えば厚さが200nmの多結晶シリコン膜と厚さが100nmのタンゲステンシリサイド(WSi_x)膜とよりなる。上記多結晶シリコン膜は、例えば化学的気相成長法によって成膜される。そしてこのときの成膜条件は、前記第1の実施例中の図2の(2)で説明したと同様なので、ここでの説明は省略する。また上記タンゲステンシリサイド膜は、例えば化学的気相成長法によって成膜される。この成膜条件は、前記第1の実施例中の図2の(2)で説明したと同様なので、ここでの説明は省略する。

【0066】その後図11の(3)に示すように、例えばドライエッティングによって、上記ゲートを形成する膜66と絶縁膜65とをエッチバックして、ゲートを形成する膜66の2点鎖線で示す部分と絶縁膜65の1点鎖線で示す部分とを除去する。そして半導体部52の一方側の側壁53に、絶縁膜65を介して、ゲートを形成する膜66で第1のゲート55を形成する。同時に当該半導体部52の他方側の側壁56に、絶縁膜65を介して、ゲートを形成する膜66で第2のゲート58を形成する。さらに上記第1のゲート55の裏面側に絶縁膜65で第1のゲート絶縁膜54を形成する。同時に、第2のゲート58の裏面側に絶縁膜65で第2のゲート絶縁膜57を形成する。上記エッチング条件は、前記第1の実施例中の図2の(3)で説明したと同様なので、ここでの説明は省略する。

【0067】次いで第3の工程として図11の(4)に示す如く、通常のイオン注入法によって、第1、第2のゲート55、58と第1、第2のゲート絶縁膜54、57とをイオン注入マスクにして半導体部52の上層に導電性不純物をイオン注入する。そして半導体部52の上層に第1のソース・ドレイン領域59を形成する。同時に半導体部52、52間の基板61の上層にも、導電性不純物がイオン注入される。上記イオン注入条件は、前記第1の実施例中の図2の(4)で説明したと同様なので、ここでの説明は省略する。

【0068】次いで図12の(5)に示すように、第4の工程として、通常の化学的気相成長法により、半導体部52側の全面に酸化シリコン膜67を、例えば500nmの厚さに成膜する。続いて、上記酸化シリコン膜67の上面にレジストを塗布して、表面が平坦なレジスト膜(図示せず)を形成する。

【0069】次いで、エッチバックによって、上記レジストを除去し、さらに上記酸化シリコン膜67の上層を除去して、酸化シリコン膜67の表面を平坦化する。このときのエッチバックは、例えばバイアス印加のECRエッチング装置によって行う。エッチング条件としては、例えば、エッチングガスに流量が1.4scmのシリコン(SiH₄)と流量が3.5scmの酸化二窒素

(N₂O)と流量が72 sccmのアルゴン(Ar)とよりなる混合ガスを用い、マイクロ波パワーを1 kW、RFパワーを450 W、エッティング温度を400°C、エッティング雰囲気の圧力を0.133 Paに設定する。上記表面を平坦化した酸化シリコン膜67が絶縁性基体51になる。したがって、以下酸化シリコン膜67は絶縁性基体51と記す。

【0070】次いで例えば低圧化学的気相成長法によって、絶縁性基体51の上面に多結晶シリコン膜68を、例えば200 nmの厚さに成膜する。このときの成膜条件としては、例えば、反応ガスに流量が500 sccmのシラン(SiH₄)と流量が0.35 sccmのホスフィン(PH₃)と流量が50 sccmのヘリウム(He)とよりなる混合ガスを用い、成膜温度を580°C、成膜雰囲気の圧力を79.8 Paに設定する。

【0071】続いて研磨(例えばポリシング)によって多結晶シリコン膜68の表面を平坦化した後、単結晶シリコン基板69を貼り合わせる。単結晶シリコン基板69を貼り合わせるには、通常の熱処理(例えば1000°Cに加熱)によって接着する。

【0072】その後図12の(6)に示す如く、絶縁性基体51の表層に半導体部52がいわゆる島状に表出する状態に、例えば研削および研磨によって基板61の2点鎖線で示す部分を除去する。なお図12において、(6)、(7)の図面は、図12の(5)に示した状態を反転した状態で示す。

【0073】次いで図12の(7)に示すように第5の工程として、例えば通常のイオン注入法によって、半導体部52の上層に導電性不純物をイオン注入して、第2のソース・ドレイン領域60を形成する。このときのイオン注入条件は、前記第1の実施例中の図2の(4)で説明したと同様なので、ここでの説明は省略する。

【0074】上記の如くして、第1のゲート絶縁膜54と第1のゲート55とソース・ドレイン領域60、59とによって、MOSトランジスタ3が構成される。また第2のゲート絶縁膜57と第2のゲート58とソース・ドレイン領域60、59とによって、MOSトランジスタ4が構成される。

【0075】上記第2の実施例の製造方法では、貼り合わせ方式のSOI基板を用いた。このため、各MOSトランジスタ3、4においては接合リーフを生じることがないので、MOSトランジスタ3、4は電気的特性に優れたものとなり、信頼性が高まる。

【0076】上記MOSトランジスタ3、4のチャネル寸法は、上記半導体部52の高さと第1、第2のソース・ドレイン領域59、60の深さによって制御することが可能である。すなわち、前記図11の(1)に示すように、半導体部52は、基板61上に形成する溝62～64の深さによって決定される。また前記図11の(4)に示すように、第1のソース・ドレイン領域59の深さ

は、イオン注入時の導電性不純物の打ち込み深さとその後の熱工程(例えば単結晶シリコン基板69を貼り合わせるときの熱処理)によって決定される。さらに前記図12の(7)に示すように、第2のソース・ドレイン領域60の深さは、イオン注入時の導電性不純物の打ち込み深さとその後の熱工程(例えば配線工程におけるアルミニウム配線のシンター処理)によって決定される。

【0077】次に上記MOSトランジスタ3、4の配線例を、図13の概略断面図により説明する。図に示すように、MOSトランジスタ3、4を覆う状態に層間絶縁膜71が形成されている。第2のソース・ドレイン領域60上の層間絶縁膜71には、コンタクトホール72が設けられている。コンタクトホール72を介して、層間絶縁膜71上には、第2のソース・ドレイン領域60に接続する電極73が形成されている。

【0078】上記電極73の形成方法を説明する。まず例えば化学的気相成長法によって、MOSトランジスタ3、4を覆う状態に、層間絶縁膜71を、例えば500 nmの厚さに成膜する。このときの成膜条件は、前記図20で説明したと同様なので、ここでの説明は省略する。

【0079】続いて通常のホトリソグラフィーとエッティングとによって、第2のソース・ドレイン領域60上の層間絶縁膜71にコンタクトホール72を設ける。次いで、例えばスパッタ法によって、電極形成層(図示せず)を形成する。この電極形成層は、例えば厚さが50 nmのチタン(Ti)膜と厚さが100 nmの窒化酸化チタン(TiON)膜よりなるバリヤメタル層と厚さが800 nmの1%のシリコン(Si)を含むアルミニウム(Al)層とを積層状態に形成したものである。上記30チタン膜、上記窒化酸化チタン膜、上記1%のシリコン(Si)を含むアルミニウム(Al)層等のスパッタ条件は、前記図6で説明したと同様なので、ここでの説明は省略する。

【0080】その後、通常のホトリソグラフィーとエッティングとによって、上記電極形成層で、コンタクトホール72を介して第2のソース・ドレイン領域60に接続する電極73を形成する。上記電極形成層をエッティングする装置には、例えばRF印加型ECRエッティング装置を用いる。そのエッティング条件は、前記図6で説明したと同様なので、ここでの説明は省略する。

【0081】次に第3の実施例として、前記図9で説明した、MOSトランジスタ3、4をラテラルに配設した場合の配線構造の一例を、図14により説明する。図に示すように、絶縁性基体51の上層に同様の構成をなすMOSトランジスタ3、4とMOSトランジスタ5、6とが形成されている。よって、同様の構成部品には同一番号を付す。上記MOSトランジスタ3、4、5、6の各第2のソース・ドレイン領域60側の全面には、層間絶縁膜81が形成されている。この層間絶縁膜81は、50例えば酸化シリコンよりなる。

【0082】上記MOSトランジスタ3、4の第1のソース・ドレイン領域59の下方における絶縁性基体51にはコンタクトホール82が設けられている。このコンタクトホール82を介して、当該第1のソース・ドレイン領域59に接続する状態に、裏面配線83が形成されている。またMOSトランジスタ5、6の第2のソース・ドレイン領域60の上方における層間絶縁膜81にはコンタクトホール84が設けられている。このコンタクトホール84を介して、当該第2のソース・ドレイン領域60に接続する状態に、表面配線85が形成されている。

【0083】上記の如くに、第1のソース・ドレイン領域59に接続する裏面配線83を形成したことにより、表面に形成される配線数を低減することが可能になる。このため、多層配線を形成した場合には、配線による段差が少なくなるので、配線の信頼性が高まる。なお図には示していないが、MOSトランジスタ3、4の第2のソース・ドレイン領域60にも上記同様の表面配線(85)を形成することが可能である。またMOSトランジスタ5、6の第1のソース・ドレイン領域59にも上記同様の裏面配線(83)を形成することが可能である。また、裏面配線83側には、絶縁膜(図示せず)を介して表面を平坦化した多結晶シリコン膜(図示せず)を形成し、さらにこの多結晶シリコン膜にシリコン基板(図示せず)を貼り合わせて、いわゆるSOI構造を形成することも可能である。

【0084】次に上記配線構造の製造方法を、図15、図16の配線構造の製造工程図(その1)、(その2)により説明する。なお、この製造方法では、一例として、第2のソース・ドレイン領域に低抵抗層を形成する場合を説明する。図15の(1)に示すように、前記図11の(4)で説明したと同様にして、各半導体部52に第1のソース・ドレイン領域59を形成した後、前記図12の(5)で説明したと同様の方法によって、各第1のソース・ドレイン領域59側の全面に第1の酸化シリコン膜91を、例えば500nmの厚さに成膜する。続いて、上記第1の酸化シリコン膜91の上面にレジストを塗布し、表面が平坦なレジスト膜(図示せず)を形成する。

【0085】次いで、エッチパックによって、上記レジストを除去し、さらに上記第1の酸化シリコン膜91の上層を除去して、第1の酸化シリコン膜91の表面を平坦化する。このときのエッチパック条件は、図12の(5)で説明したと同様なので、ここでの説明は省略する。上記表面を平坦化した第1の酸化シリコン膜91は絶縁性基体51の一部になる。なお上記第1の酸化シリコン膜91の表面は必ずしも平坦化しなくてよい。

【0086】続いて通常のホトリソグラフィーとエッチングによって、例えば一方の第1のソース・ドレイン領域59上における酸化シリコン膜91にコンタクトホ

ール82を形成する。このときのエッティング条件としては、例えば、エッティングガスに流量が50sccmのオクタフルオロシクロブタン(C₈F₈)を用い、RFパワーを1.2kW、エッティング雰囲気の圧力を2Paに設定する。

【0087】次いで通常のスパッタ法によって、コンタクトホール82の内部と上記第1の酸化シリコン膜91の上面とに窒化チタン(TiN)膜92を、例えば100nmの厚さに形成する。続いて通常の化学的気相成長法によって、上記窒化チタン膜の上面にタングステン(W)膜93を、例えば300nmの厚さに形成する。上記窒化チタン膜92とこのタングステン膜93とが裏面配線形成層94になる。上記窒化チタン(TiN)膜の成膜条件としては、例えば、スパッタガスに窒素(N₂)を用い、スパッタ雰囲気の圧力を0.5Pa、直流スパッタパワーを3kW、スパッタ率を60nm/分に設定する。また上記タングステン(W)膜の成膜条件としては、例えば、反応ガスに流量が95sccmの六フッ化タングステン(WF₆)と流量が550sccmのヘリウム(He)との混合ガスを用い、成膜温度を450℃、成膜雰囲気の圧力を10.64kPaに設定する。

【0088】その後、通常のホトリソグラフィーとエッティングとによって、裏面配線形成層94の2点鎖線で示す部分と1点鎖線で示す部分とを除去し、裏面配線83を形成する。このときのエッティング条件としては、例えば、流量が50sccmの六フッ化イオウ(SF₆)を用い、マイクロ波パワーを850W、RFパワーを100Wに設定する。

【0089】その後図15の(2)に示すように、前記図12の(5)で説明したと同様の方法によって、裏面配線83側の全面に第2の酸化シリコン膜95を、例えば500nmの厚さに成膜する。続いて、上記第2の酸化シリコン膜95の上面にレジストを塗布して、表面が平坦なレジスト膜(図示せず)を形成する。次いで、エッチパックによって、上記レジストを除去し、さらに上記第2の酸化シリコン膜95の上層を除去して、第2の酸化シリコン膜95の表面を平坦化する。このときのエッチパック条件は、図12の(5)で説明したと同様なので、ここでの説明は省略する。上記表面を平坦化した第2の酸化シリコン膜95と上記第1の酸化シリコン膜91とによって、絶縁性基体51が形成される。

【0090】次いで前記図12の(5)で説明したと同様にして、絶縁性基体51の上面に多結晶シリコン膜68を、例えば200nmの厚さに成膜する。続いて研磨(例えばポリシング)によって多結晶シリコン膜68の表面を平坦化した後、単結晶シリコン基板69を貼り合わせる。

【0091】その後図16の(3)に示す如く、図12の(6)で説明したと同様にして、絶縁性基体51の上

層に半導体部52がいわゆる島状に表出する状態になるように、例えば研削および研磨によって基板61を除去する。なお図16において、(3)の図面は、上記図15の(2)に示した状態を反転した状態で示す。また図15の(2)で説明した多結晶シリコン膜68と単結晶シリコン基板69との図示は省略した。

【0092】次いで図16の(4)に示すように、通常のスパッタ法によって、半導体部52側の全面にチタン(Ti)膜96を、例えば30nmの厚さに形成する。このときのスパッタ条件としては、例えば、スパッタガスに流量が40sccmのアルゴン(Ar)を用い、RFバイアスを-50V、直流スパッタパワーを1kW、スパッタ雰囲気の圧力を0.4Pa、成膜温度を200℃、スパッタ率を6.0nm/分に設定する。なお図16の(4)および以下に説明する図17の(5)、(6)において、多結晶シリコン膜68と単結晶シリコン基板69との図示は省略した。

【0093】続いて図17の(5)に示す如く、RTAを行って、上記チタン膜96のチタンと上記各半導体部52のシリコンとをシリサイド化反応させて、チタンシリサイド(TiSi₂)よりなる低抵抗層97を形成する。その後アンモニア過水中に浸漬して未反応チタン膜96(2点鎖線で示す部分)を除去する。続いて900℃の不活性ガス【例えば窒素(N₂)】中に30秒間放置して、各低抵抗層97を安定化する。上記低抵抗層97は、チタンシリサイドで形成したが、他のシリサイド【例えば、コバルトリシリサイド(CoSi₂)、タングステン(WSi₂)、モリブデンシリサイド(MoSi₂)等】または選択タングステン(W)等の金属膜で形成することが可能である。

【0094】次いで前記図12の(7)で説明したと同様にして、通常のイオン注入法によって、各半導体部52の上層に、上記低抵抗層97を通して導電性不純物をイオン注入し、第2のソース・ドレイン領域60を形成する。このときのイオン注入条件は、前記第1の実施例中の図2の(4)で説明したと同様なので、ここでの説明は省略する。

【0095】次いで図17の(6)に示す如く、例えば化学的気相成長法によって、上記低抵抗層97を形成した側の全面に酸化シリコン膜よりなる層間絶縁膜81を、例えば500nmの厚さに形成する。このときの成膜条件は、前記図6で説明したと同様なので、ここでの説明は省略する。その後、通常のホトリソグラフィーとエッチングとによって、上記MOSトランジスタ5、6の低抵抗層97上の層間絶縁膜81にコンタクトホール84を形成する。このときのエッチング条件は、前記図6で説明したと同様なので、ここでの説明は省略する。

【0096】次いで上記コンタクトホール84の内部と層間絶縁膜81上に表面配線形成膜98を形成する。この表面配線形成膜98は、例えば5.0nmの厚さのチ

タン(Ti)膜と100nmの厚さの窒化酸化チタン(TiO_xN)よりなるバリヤメタル層と1%のシリコンを含むアルミニウム層とによって形成される。その後通常のホトリソグラフィーとエッチングとによって、上記表面配線形成層98の2点鎖線で示す部分を除去し、表面配線85を形成する。このときのエッチング条件は、前記図6で説明したと同様なので、ここでの説明は省略する。

【0097】なお図15～図17には示していないが、10 MOSトランジスタ3、4の第2のソース・ドレイン領域60にも上記同様の表面配線(85)を形成することは可能である。またMOSトランジスタ5、6の第1のソース・ドレイン領域59にも上記同様の裏面配線(83)を形成することは可能である。

【0098】上記の如くに、裏面配線83と表面配線85とを形成したことにより、個々のMOSトランジスタ毎に第1のソース・ドレイン領域59を引き出す領域を形成する必要が無くなるので、配線面積を縮小することが可能になる。また表面側の配線数を低減することが可能になるので、表面側の平坦化処理が容易になる。

【0099】

【発明の効果】以上、説明したように請求項1の発明によれば、半導体基板に形成した溝の側壁にMOSトランジスタのゲートを形成したことにより、溝の深さとゲートの膜厚とによって、MOSトランジスタのチャネル長が決定される。このため、半導体基板面に対するMOSトランジスタの形成面積の縮小化を図ることができる。請求項2の発明によれば、半導体基板に形成した溝内に形成されるゲートとゲート絶縁膜とが、いわゆる自己整合的に形成される。このため、ゲートを形成する膜の厚さとそのエッチバック量によって、チャネル長を決定することができる。請求項3の発明によれば、絶縁性基体に半導体部を形成して、その側壁にMOSトランジスタのゲートを形成したことにより、MOSトランジスタのゲートが絶縁性基体に対して深さ方向に形成されるので、MOSトランジスタの形成面積を小さくすることができる。請求項4の発明によれば、半導体部に形成されるゲートとゲート絶縁膜とが、いわゆる自己整合的に形成される。このため、マスク合わせ余裕等を設計で考慮する必要がないので、ゲートの形成面積の縮小化を図ることができる。請求項5の発明によれば、半導体部に設けたMOSトランジスタの第1のソース・ドレイン領域に接続する裏面配線を絶縁性基板面に設けたことにより、表面配線側の配線数の低減が図れるので、表面配線上に形成される層間絶縁膜の平坦化が容易になる。よって、配線の信頼性の向上が可能になる。

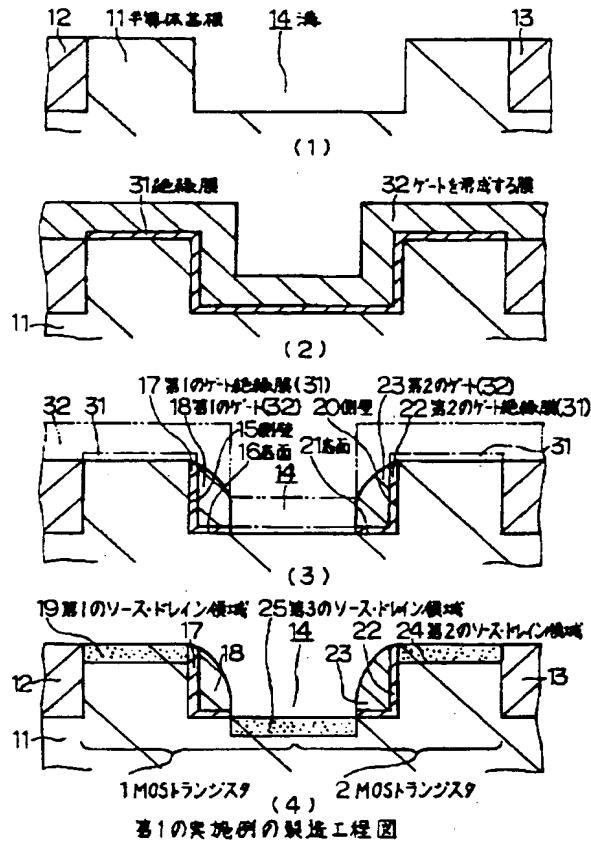
【図面の簡単な説明】

【図1】第1の実施例の概略構成断面図である。

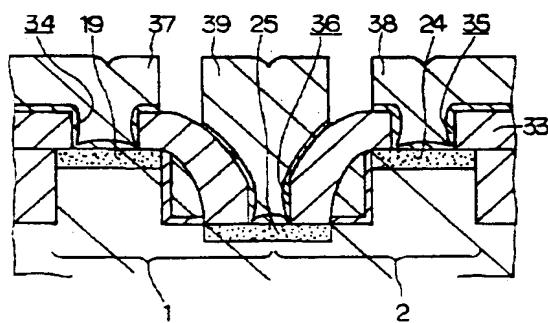
【図2】第1の実施例の製造工程図である。

【図3】チャネル長の説明図である。

【図2】

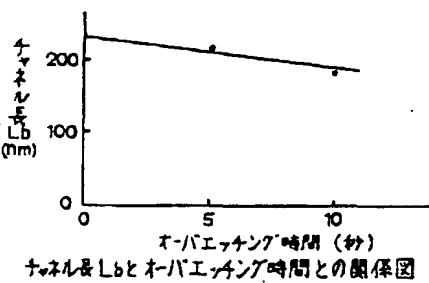


【図6】

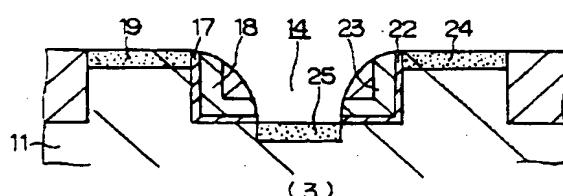
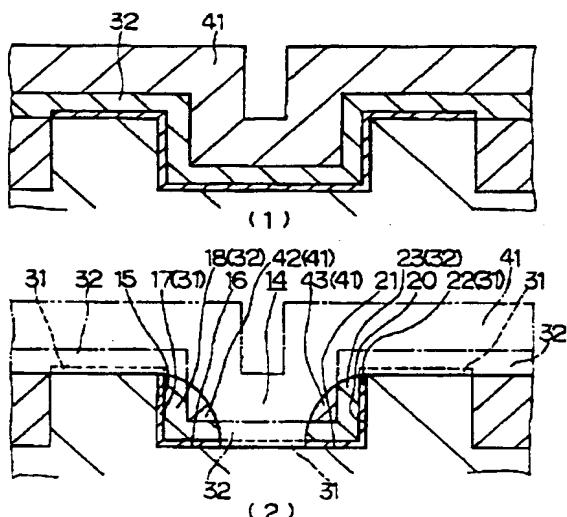


第1の実施例の配線の概略断面図

【図5】

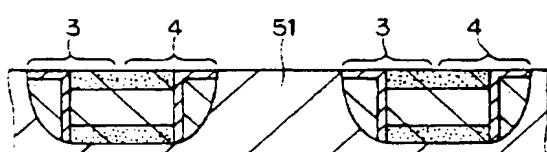


【図7】



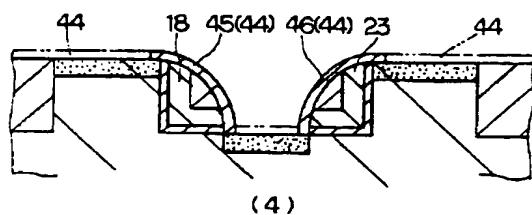
各格坑層の製造工程図(その1)

【図10】

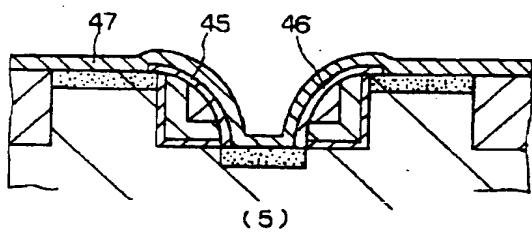


第2の実施例のMOSトランジスタをラテラルに配置した概略断面図

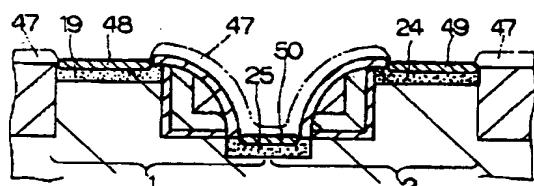
【図8】



(4)

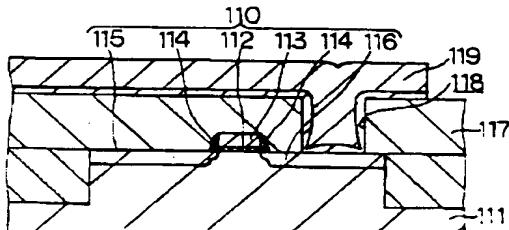


(5)



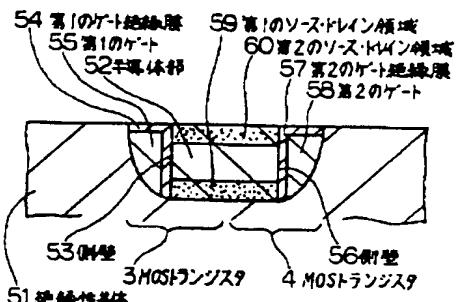
後述抗層の製造工程図(その2)

【図18】



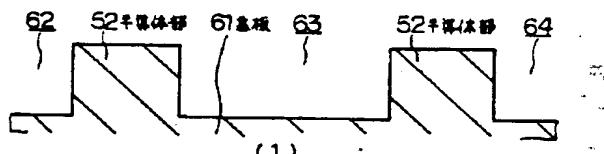
従来例の概略構成断面図

【図9】

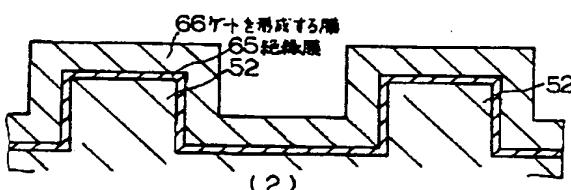


第2の実施例の概略構成断面図

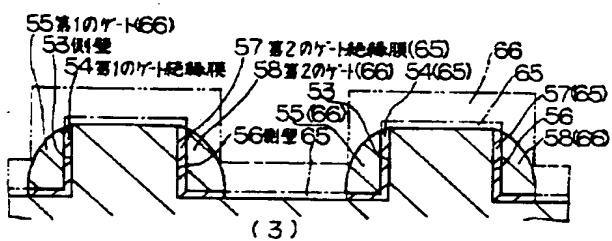
【図11】



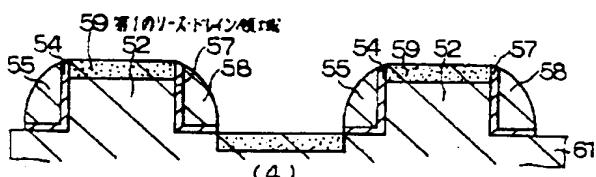
(1)



(2)



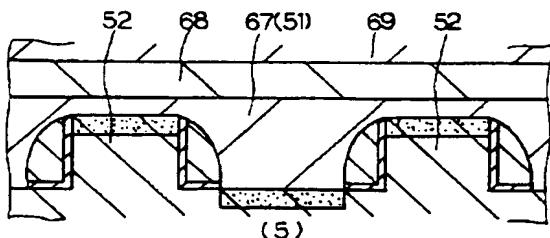
(3)



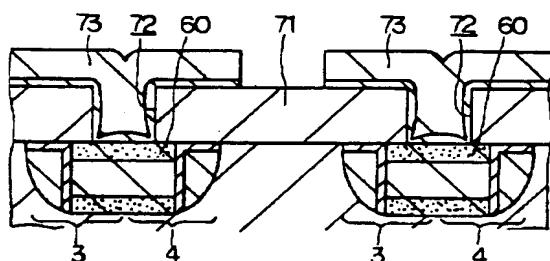
(4)

第2の実施例の製造工程図(その1)

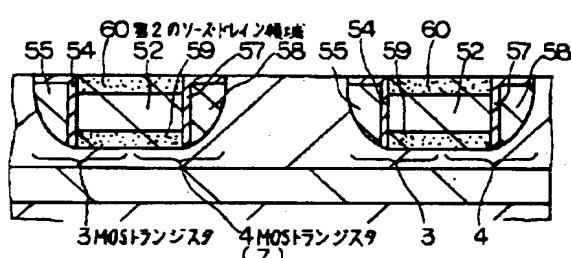
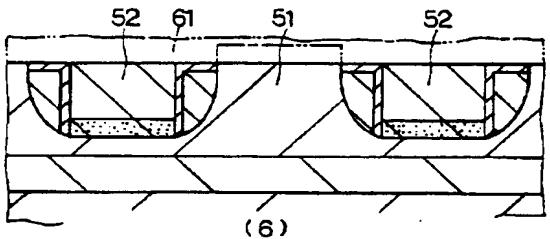
【図12】



【図13】

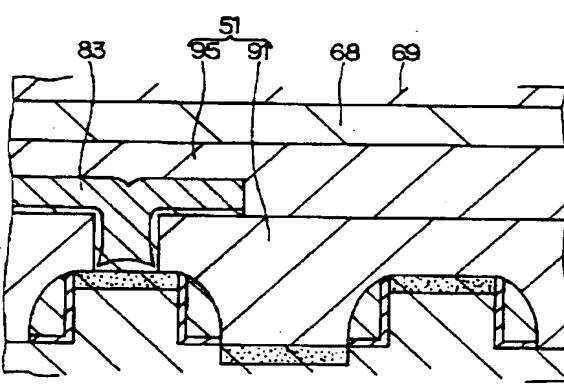
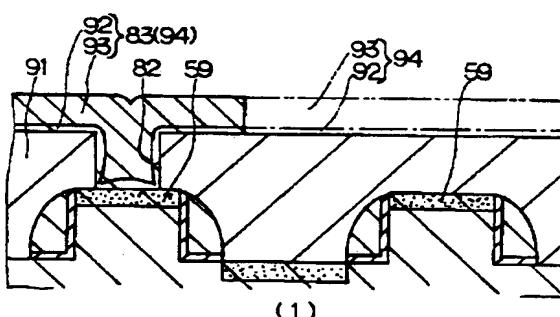


第2の実施例の配線の概略断面図



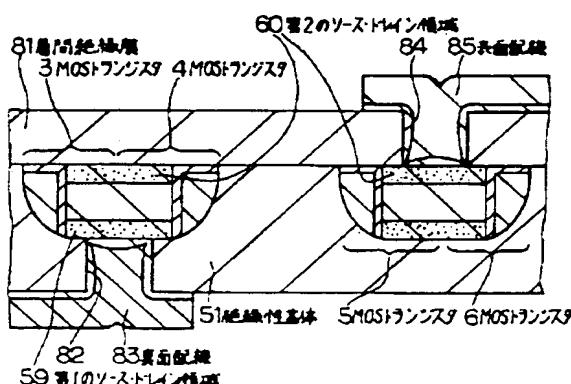
第2の実施例の製造工程図(その2)

【図15】



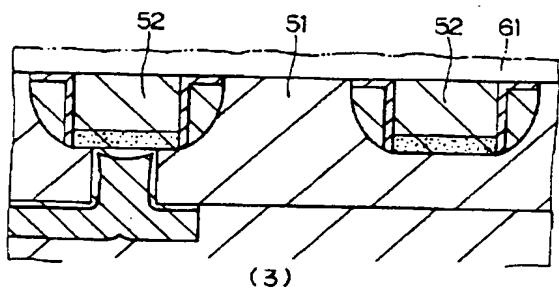
配線構造の製造工程図(その1)

【図14】

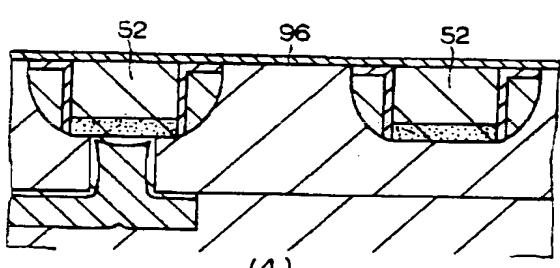
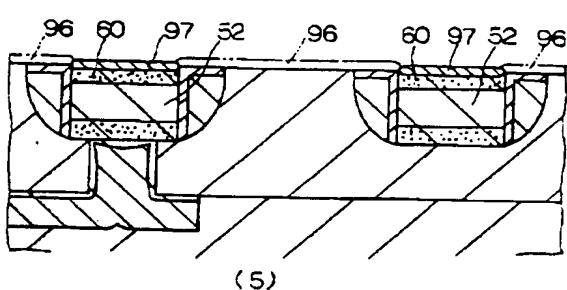


第3の実施例の概略断面図

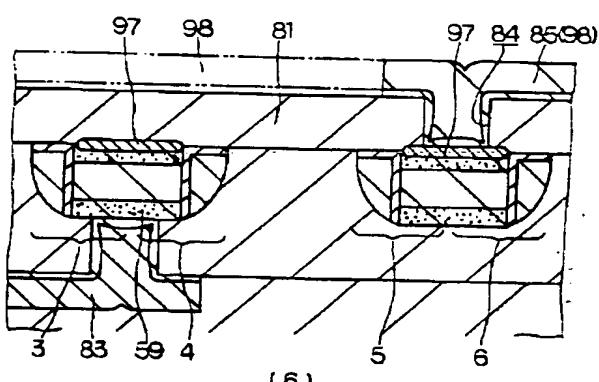
【図16】



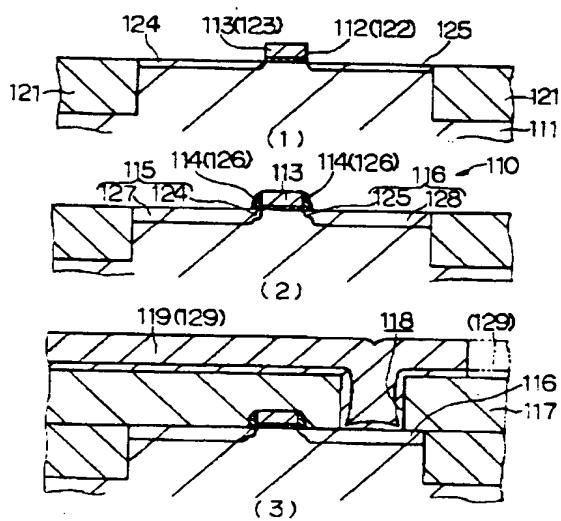
【図17】



配線構造の製造工程図(その2)



配線構造の製造工程図(その3)



従来例の製造工程図

